

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

6219268

Basic Patent (No,Kind,Date): EP 235819 A2 870909 <No. of Patents: 013>

PROCESS FOR PRODUCING SINGLE CRYSTAL SEMICONDUCTOR
LAYER AND SEMICONDUCTOR DEVICE PRODUCED BY SAID PROCESS
(English; French; German)

Patent Assignee: IIZUKA KOZO (JP)

Author (Inventor): SUGAHARA KAZUYUKI C O MITSUBIS; NISHIMURA TADASHI
C O MITSUBIS; KUSUNOKI SHIGERU C O MITSUBISH; INOUE YASUO C O
MITSUBISHI DEN

Designated States : (National) DE; FR; GB

IPC: *H01L-021/20; H01L-021/268; H01L-029/04

CA Abstract No: 108(06)047674M

Derwent WPI Acc No: C 87-251392

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
DE 3779672	C0	920716	EP 87103146	A	870305
DE 3779672	T2	930128	EP 87103146	A	870305
EP 235819	A2	870909	EP 87103146	A	870305 (BASIC)
EP 235819	A3	880727	EP 87103146	A	870305
EP 235819	B1	920610	EP 87103146	A	870305
JP 62206818	A2	870911	JP 8648470	A	860307
JP 62206819	A2	870911	JP 8648471	A	860307
JP 62278187	A2	871203	JP 86118438	A	860524
JP 92079993	B4	921217	JP 86118438	A	860524
JP 94011025	B4	940209	JP 8648470	A	860307
JP 94052712	B4	940706	JP 8648471	A	860307
US 4822752	A	890418	US 22717	A	870306
US 5371381	A	941206	US 587500	A	900924

Priority Data (No,Kind,Date):

JP 8648470 A 860307

JP 8648471 A 860307

JP 86118438 A 860524

US 587500 A 900924

US 266052 B1 881102

US 22717 B3 870306

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02289919 **Image available**

SEMICONDUCTOR DEVICE

PUB. NO.: 62-206819 [JP 62206819 A]

PUBLISHED: September 11, 1987 (19870911)

INVENTOR(s): SUGAHARA KAZUYUKI

NISHIMURA TADASHI

KUSUNOKI SHIGERU

INOUE YASUAKI

APPLICANT(s): AGENCY OF IND SCIENCE & TECHNOL [000114] (A Japanese Government or Municipal Agency), JP (Japan)

APPL. NO.: 61-048471 [JP 8648471]

FILED: March 07, 1986 (19860307)

INTL CLASS: [4] H01L-021/20; H01L-021/263; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS)

JOURNAL: Section: E, Section No. 585, Vol. 12, No. 63, Pg. 105,
February 25, 1988 (19880225)

ABSTRACT

PURPOSE: To improve quality by forming the longitudinal direction of an antireflection film or a reflecting film shaped in a striped manner on a polycrystalline or amorphous semiconductor film so as to make an angle within a specific range to the <110> direction or the direction equivalent to the <110> direction on the main surface of the {100} face of a foundation single crystal substrate.

CONSTITUTION: Both the longitudinal direction of a longitudinal opening section 23 and the longitudinal direction of stripes in a striped antireflection film 41 consisting of an silicon nitride film are shaped in the direction, the <510> direction, forming an angle of 33 deg. in the <110> direction or the direction equivalent to the <110> direction. The beam diameter of laser beams 15 composed of a continuously oscillating argon laser and having predetermined power density is adjusted, and the laser beams 15 are projected, scanning in the <510> direction. When one-time scanning of laser beams 15 is completed, laser beams 15 are moved in the direction vertical to the scanning direction, and laser beams 15 are scanned in the Y direction again. Accordingly, a single crystal semiconductor layer having high quality and a large area can be formed onto an insulator film in a short time.

⑨日本国特許庁 (JP)

⑩特許出願公開

⑪公開特許公報 (A) 昭62-206819

⑫Int.Cl.⁴H 01 L 21/20
21/263
27/12

識別記号

庁内整理番号

7739-5F
7738-5F
7514-5F

⑬公開 昭和62年(1987)9月11日

審査請求 有 発明の数 1 (全7頁)

⑭発明の名称 半導体装置

⑮特 願 昭61-48471

⑯出 願 昭61(1986)3月7日

⑰発明者 須賀原 和之 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内⑱発明者 西 村 正 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内⑲発明者 楠 茂 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内⑳発明者 井 上 靖 朗 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内

㉑出願人 工業技術院長

明細書

1. 発明の名前

半導体装置

2. 特許請求の範囲

(1) (001) 面またはその等価な結晶面を主面とする半導体單結晶の基板と、

前記半導体單結晶基板の前記主面上に形成され、少なくともその一部分に前記基板主面に達する開口部を有する第1の絶縁層と、

前記第1の絶縁層上および前記開口部上に形成されてエネルギーの屈折を受けて屈曲、再結晶化されるべき非晶質または多結晶の第1の半導体層と、

前記第1半導体層上に形成されて、予め定められた幅および間隔を有するストライプが周期的に繰返されるストライプ状の膜厚分布を有し前記エネルギー層に対し前記ストライプ状の反射率変化を与えるストライア層とを備える半導体装置において、

前記ストライア層のストライプの長さ方向が前

記單結晶基板の主面上の<110>方向またはその等価な方向と交わるような予め定められた角度θをなすように形成されていることを特徴とする半導体装置。

(2) 前記予め定められた角度θは、20°≤θ≤60°の条件を満足することを特徴とする、特許請求の範囲第1項記載の半導体装置。

(3) 前記半導体單結晶基板はシリコンからなり、かつ前記第1の絶縁層は二酸化シリコンである、特許請求の範囲第1項または第2項記載の半導体装置。

(4) 前記ストライア層は、前記ストライプ状に形成される第2の絶縁物層1層のみで構成される、特許請求の範囲第1項または第2項記載の半導体装置。

(5) 前記第2の絶縁物層はシリコン酸化層で構成される、特許請求の範囲第4項記載の半導体装置。

(6) 前記ストライア層は、前記多結晶または非晶質の第1の半導体層上に形成される第2の

特開昭62-206819(2)

絶縁物質と、前記第2絶縁物質上に前記ストライプ状に形成される第3の絶縁物質とから構成される、特許請求の範囲第1項ないし第3項のいずれかに記載の半導体装置。

(7) 前記第2の絶縁物質は二酸化シリコンからなり、かつ前記第3の絶縁物質はシリコン酸化膜である、特許請求の範囲第6項記載の半導体装置。

(8) 前記ストライプ層は、前記第1の半導体層上に形成される第2の絶縁物質と、前記第2絶縁物質上に前記ストライプ状に形成される非晶質または多結晶の第2の半導体層とから構成される、特許請求の範囲第1項ないし第3項のいずれかに記載の半導体装置。

(9) 前記第2の絶縁物質は二酸化シリコンで構成され、かつ前記第2の半導体層は多結晶シリコンを用いて構成される、特許請求の範囲第8項記載の半導体装置。

(10) 前記ストライプ層は、前記ストライプ状に形成される耐熱点金属層を含む、特許請求

の範囲第1項記載の半導体装置。

(11) 前記耐熱点金属層はタンクステンで構成される、特許請求の範囲第10項記載の半導体装置。

(12) 前記エネルギー線は連続発振レーザ光ビームである、特許請求の範囲第1項記載の半導体装置。

(13) 前記エネルギー線は電子線である、特許請求の範囲第1項記載の半導体装置。

(14) 前記単結晶基板と前記第1の絶縁物質との間にトランジスタ回路素子が形成される、特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体装置、特に、絶縁体上に半導体單結晶層を形成し、この単結晶層を基板としてトランジスタを形成する構造の半導体装置において、絶縁体層上に非晶質かつ大面積の単結晶半導体層を形成することのできる半導体装置に関する。

〔従来の技術〕

半導体装置の高速化、高密度化を実現するため、回路素子を説電体で電気的に分離して浮遊容量の少ない半導体集成回路を製造する試み、また回路素子を立体的に積層するいわゆる3次元回路素子を製造する試みがなされており、その一方法として絶縁体層上に半導体單結晶層を形成し、この半導体單結晶層内に回路素子を構成する方法がある。この半導体單結晶層を形成する方法の1つとして、絶縁体上に多結晶または非晶質の半導体層を堆積し、その表面にレーザ光、電子線などのエネルギー線を用射することによって表面層の半導体層のみを加熱し、非晶質または多結晶の半導体層を溶融、再結晶化させることにより単結晶の半導体層を形成する方法がある。

第3A図ないし第3C図は従来の、絶縁体層上に単結晶半導体層を製造する方法を示すための図であり、第3A図は従来の半導体装置の平面構造を示し、第3B図は第3A図のI—I'線上に沿った断面構造およびレーザ走査方向を示す図であり、第3C図は第3A図のII—II'線上に沿った断面構造を示す図である。以下、第3A図ないし第3C図を参照して従来の半導体装置の構成および絶縁体層上へ単結晶半導体層を製造する方法について説明する。

従来の半導体装置は、(100)面((001)面またはその等価な結晶面)を正面とするシリコンからなる単結晶半導体基板11と、単結晶シリコン基板11の正面に、その一部に反手状開口部23を有する厚い二酸化シリコンからなる絶縁膜である酸化膜12と、酸化膜12上および開口部23上に形成され、レーザ光15によって溶融されるべき多結晶シリコン層13と、多結晶シリコン層13上に、その長さ方向がシリコン単結晶基板11の(001)面上の<110>方向(正確には<1T0>方向)に設定され、幅約5μm、周期約10μmで周期的にストライプ状に形成されるたとえばシリコン酸化膜からなる反射防止膜41とから構成される。酸化膜12に設けられた反手状開口部23は、シリコン単結晶基板11の(001)面上の<110>方向に設けられ、こ

特開昭62-206819(3)

の部分において、単結晶シリコン基板11の主面は酸化膜12表面まで露出する。反射防止膜41は、レーザ光15照射時に多結晶シリコン膜13内の温度分布を測定して一方方向の結晶成長（開口部23を通じた下地基板単結晶を覆とするエピタキシャル成長）のみを実現するために厚さ約550ÅにCVD法などを用いて形成される。多結晶シリコン13を形成するためのレーザ光15は第3B図の矢印X方向、すなわち単結晶シリコン基板11の(001)主面上の<110>方向に走査される。次に第3A図ないし第3C図を参照して多結晶シリコン膜13を単結晶化する方法について説明する。

長手状開口部23上および厚い酸化膜12上の多結晶シリコン膜13をレーザ光15の照射により溶融させ、さらにこの溶融を長手状開口部23の下地単結晶シリコン基板11の表面まで及ぼすことにより、溶融部30が固化、再結晶化する間に、長手状開口部23の下地単結晶シリコン基板11を覆とするエピタキシャル成長が生じ多結

晶シリコン膜13が単結晶化する。ここで多結晶シリコン膜13上に設けられたストライプ状のシリコン酸化膜からなる反射防止膜41は、レーザ光の走査方向（矢印X方向）に対し膜方向の温度を上昇させ、溶融部30が固化、再結晶化する間に、多結晶シリコン膜13に存在する複数の結晶核を覆とする結晶成長を抑制し多結晶シリコン膜13の溶融部30の結晶成長が必ず開口部23の下地の多結晶シリコン基板を覆とするエピタキシャル成長のみが生じるように、その幅、間隔および膜厚が設定されている。したがって、レーザ光15で多結晶シリコン膜13を照射しながら矢印X方向に走査すると、多結晶シリコン膜13が溶融されて溶融部30が形成され、この溶融部30から走査方向、すなわち矢印X方向にエピタキシャル成長が連続して生じ、結晶膜としての酸化膜12上で下地単結晶シリコン基板の有する面方位をなぞった単結晶膜14を成長させることができる。レーザ光15の照射後、すなわち全ての多結晶シリコン膜13を単結晶シリコン膜14に成

反させた後、シリコン酸化膜からなる反射防止膜41は除去され、単結晶化したシリコン膜14上にトランジスタ等の素子が形成される。

〔発明が解決しようとする問題〕

しかし、上述のような従来の半導体装置の構造においては、下地単結晶シリコン基板11上で<110>方向に設けられた長手状開口部23からこの長手状開口部23に垂直な<110>（正確には<110>）方向にレーザ光15を走査しているので、開口部20の下地単結晶シリコン基板11を覆とするエピタキシャル結晶成長方向はレーザ光15の走査方向、すなわち<110>方向となる。しかし、<110>方向へのこの結晶面固有の結晶成長速度が小さいため、走査速度（スループット）を考慮してレーザ光の走査速度を速くすると、単結晶エピタキシャル成長がレーザ光の走査に追随することができず、積層欠陥などの結晶欠陥が発生し開口部端から100~200μm程度の距離でエピタキシャル成長が止まってしまい、それ以後は他の結晶軸をもった結晶が成長

してしまうなどの問題点があった。

それゆえ、この発明の目的は、上述のような問題点を除去し、速いレーザ光走査速度においても単結晶成長距離を長くすることができ、把晶体膜上に大面積の下地基板と同一の結晶軸を有する単結晶半導体膜を得ることで半導体装置を提供することである。

〔問題点を解決するための手段〕

この発明にかかる半導体装置は、多結晶または非晶質半導体（シリコン）膜上に、エネルギー照射時に所望の温度分布を与えるためのストライプ状に形成される反射防止膜または反射膜のストライプの長さ方向を下地単結晶基板の(100)面の主面上の<110>方向またはそれと等しい方向に対し20°から80°の範囲の角度をなすようにしたものである。

〔作用〕

エピタキシャル成長は、ほぼストライプの長さ方向に沿って生じる。この結晶面の固有の成長速度は<110>方向またはその等しい方向に対し

特開昭62-206819(4)

20°から60°の角度の方向で大きいので比較的速い走査速度でレーザ光を走査しても結晶成長がレーザ光の走査に追従することができ、結晶体膜上に形成される半結晶半導体層の成長距離を長くすることができ、大面积で結晶欠陥のない良品質な半導体単結晶膜を得ることができる。

【発明の実施例】

以下、この発明の一実施例について図面を参照して説明する。なお以下の実施例の説明において従来の技術の説明と重複する部分については適宜その説明を省略する。

第1A図ないし第1C図はこの発明の一実施例である半導体装置および結晶体膜上に単結晶膜を形成する工程を説明するための図であり、第1A図はこの発明の一実施例である半導体装置の平面配置を示す図であり、第1B図は第1A図のI—I'線上に沿った断面構造およびレーザ光の走査方向を示し、第1C図は第1A図のII-II'線上に沿った断面構造を示す図である。第1A図ないし第1C図において、この発明の特徴として長手状開口部

23の長手方向および膜厚550ÅのCVD法で形成された窒化シリコン膜からなるストライプ状の反射防止膜41のストライプの長さ方向が共に<110>方向またはその等価な方向に対し33°の角度をなす方向、すなわち<510>方向に付けられている点を除いて、第3A図ないし第3C図に示される従来の半導体装置の構成と同一である。多結晶シリコン膜13の単結晶化は以下のように行われる。たとえば避難発振のアルゴンレーザからなる予め定められたパワー密度を有するレーザ光15のビーム径を100μmに調節して、第1B図に示される矢印Y方向、すなわち<510>方向へ走査速度10cm/秒で走査しながら照射する。レーザ光15の1回の走査が終了すると、レーザ光15を走査方向に対し垂直方向に40μm移動させた後、再び矢印Y方向に走査する。次に多結晶シリコン膜13の単結晶化の機構について詳細に説明する。

レーザ光は通常、そのパワーが中心部で高く周辺部で低いいわゆるガウス型の強度分布を有して

いる。しかし、多結晶シリコン膜13上にはシリコン窒化膜からなる反射防止膜41がストライプ状にバターニングされているため、シリコン窒化膜41下部の多結晶シリコン膜13の温度は、シリコン窒化膜41のない領域下部の多結晶シリコン膜13の温度より高く保たれる。これによりレーザ光10の照射領域では、ストライプが形成されている周囲とほぼ同様の周囲を有する温度分布が多結晶シリコン膜13内に形成されて、レーザ光15のガウス型の強度分布を補償することができる。すなわち反射防止膜41下の温度が高くかつストライプとストライプの間隔部分の温度が低い温度分布が周囲的に補償される温度分布を多結晶シリコン膜13内に与える。初期した多結晶シリコン30は、反射防止膜(シリコン窒化膜)41の効果により、温度の低いシリコン窒化膜41が形成されていない領域の中心部から温度の高いシリコン窒化膜41が形成されている領域へ向かって固化、再結晶化する。このとき、多結晶シリコン膜13は開口部23を通じて基板單結晶シリコ

ン11に接しているため、開口部23から下地單結晶シリコン基板11を接とするエピタキシャルな結晶成長のみがストライプの長さ方向に沿って、窒化シリコン膜41が形成されていない領域に向かって連続的に生じる。このとき窒化シリコン膜41のストライプの長さ方向はシリコン結晶の固有の結晶成長速度が大きい<510>方向にバターニングされているため、多結晶シリコン膜13が再結晶化する際の單結晶エピタキシャル成長はレーザ光15の走査に追従することができ、それにより複数欠陥の結晶欠陥が少なく、かつその結晶面が下地單結晶シリコン基板11と同一の(001)面である良質かつ大面积の単結晶膜を得ることができる。

なお、上記実施例においては、反射防止膜ストライプの長さ方向を単結晶シリコン基板11の主面上の<510>方向としているが他の方向たとえば<410>、<210>、<100>方向にストライプを形成してもほぼ同様の効果が得られる。すなわち、反射防止膜のストライプの長さ方

特開昭62-206819(5)

向が下地單結晶シリコン基板11の主面上の<10>万面またはその等価な方向に対し20°ないし60°の角度をなす方向にストライプを形成するようにすれば開口部23端部からのエピタキシャル結晶成長距離を大幅に増大させることができる。

さらに、上記実施例においては、反射防止膜として膜厚550Åのシリコン酸化膜を使用しているが、形成されるべき多結晶シリコン膜中に所定の濃度分布を作るような膜の構成であればどのような構成でもよく、たとえば多結晶シリコン膜13上に1600Åのシリコン酸化膜をCVD法を用いて堆積し、このシリコン酸化膜上に膜厚550Åのシリコン酸化膜をストライプ状にバターニングした2層構造の絶縁体反射防止膜であっても同様の効果が得られる。さらに、膜厚2000ÅのCVD法を用いて形成したシリコン酸化膜上にストライプ状のバターニングをした多結晶シリコン膜を設ける構成であってもよい。この場合はこのストライプ状に形成された多結晶シリコン膜が

レーザ光を吸収するため、ストライプ状の多結晶シリコン膜が形成されている領域の下の埋蔵されるべき多結晶シリコン膜13の速度はストライプ状の多結晶シリコン膜が形成されていない領域よりも低くなる。さらに、埋蔵されるべき多結晶シリコン膜上にシリコン酸化膜とたとえばタンクステン膜からなる高融点金属を堆積しこの高融点金属をストライプ状にバターニングしてもよい。このとき高融点金属膜をレーザ光を反射するため、その高融点金属の領域は反射防止膜と反対の反射膜となる。

さらに上記実施例においてはたとえば連続発振のアルゴンレーザを用いる場合を説明しているが、他のレーザ光を用いてもよく、また電子線などのエネルギー線を用いても同様の効果が得られる。

またさらに、3次元回路電子のように下地半導体基板主面上に構造が形成されていてもよく、たとえば第2A図、第2B図に示されるように、下地單結晶シリコン基板11の主面上にトランクスタなどの素子30を形成した後で厚い絶縁物質1

2を介して多結晶シリコン13、および反射防止膜41を形成しても同様の効果が得られる。ここで、第2A図は上述の3次元回路電子を実現するための半導体装置の構成の一例を示す図であり、第2A図はその平面配線を示す図であり、第2B図はその断面構造を示す図である。第2A図および第2B図において、下地單結晶シリコン基板11の主面上には、回路電子を電気的に分離するための厚い絶縁膜すなわち分離膜12と、MOSトランクスタの動作を制御するためのゲート電極31と、各回路電子を相互接続するためたとえば高融点金属で構成される配線32とからなる1層目の回路電子30が形成される。1層目の回路電子30上には厚い絶縁膜である酸化膜12が形成され、厚い酸化膜12の一部には下地單結晶シリコン基板11の主面上に達する開口部23が長手状に設けられる。厚い絶縁膜である酸化膜12上および開口部23上には埋蔵されるべき多結晶シリコン膜13が形成され、多結晶シリコン膜13上には、そのストライプの長さ方向がたとえ

ば<510>方向に設定された反射防止膜41が予め定められた幅および間隔を有してストライプ状に形成される。このような構成においても開口部23の多結晶シリコン膜13をレーザ光を用いて埋蔵させ、この埋蔵を單結晶シリコン基板11の主面にまで及ぼすことによりこの開口部23の多結晶シリコン膜13をエピタキシャル成長させ、この開口部23の下地單結晶シリコン基板11の結晶面方位を保ってエピタキシャル成長した結晶膜を積み重ねとして、絶縁体である酸化膜12上の多結晶シリコン膜13上へのエピタキシャル成長をレーザ光の走査により実現することができる、結晶成長速度の大きい<510>方向に沿って長い距離の單結晶成長を実現することができる。

さらに上記実施例においては、埋蔵されるべき半導体膜として多結晶シリコン膜を用いた場合について説明しているが、非晶質シリコン膜を用いた場合においても同様の効果が得られる。

【発明の効果】

以上のようにこの発明によれば、(001)面

特開昭62-206819(6)

またはその等価な結晶面を正面とする単結晶半導体基板と、この基板正面に形成され、少なくともその一部分に単結晶半導体基板正面が露出する長手状開口部を有する絕縁膜と、この絶縁膜上および長手状開口部上に形成される、エネルギー線照射により形成されるべき多結晶または非晶質半導体膜とから構成される基体となる半導体装置において、エネルギー線照射時に多結晶または非晶質半導体膜内に所望の温度分布を与えるための反射膜または反射防止膜を下地単結晶半導体基板の正面の<110>方向またはその等価な方向に附し予め定められた角度を有するストライプ状に形成したので、絶縁膜上に高品質かつ大面积の単結晶半導体膜を同時に形成することができる。

4. 図面の簡単な説明

第1A図ないし第1C図はこの発明の一実施例である半導体装置および絶縁膜上に単結晶半導体膜を形成するための工程を示す図であり、第1A図はこの発明の一実施例である半導体装置の平面配置を示す図であり、第1B図は第1A図の細

-Iに沿った断面構造およびエネルギー線照射および走査方向を示す図であり、第1C図は第1A図のII-II'に沿った断面構造を示す図である。第2A図および第2B図はこの発明の他の実施例である半導体装置の構成を示す図であり、第2A図はその平面配置を示し、第2B図は第2A図のI-I'に沿った断面構造を示す図である。第3A図ないし第3C図は従来の半導体装置の構成および絶縁膜上に単結晶半導体膜を形成するための工程を示すための図であり、第3A図は従来の半導体装置の平面配置を示す図であり、第3B図は第3A図のI-I'に沿った断面構造およびエネルギー線照射走査方向を示す図であり、第3C図は第3A図のII-II'に沿った断面構造を示す図である。

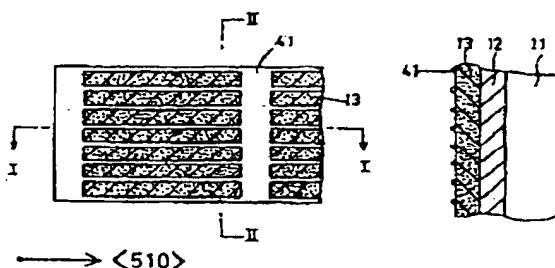
図において、11は(001)面またはその等価な結晶面を正面とする単結晶半導体基板、12は絶縁膜である酸化シリコン膜、13は形成されるべき多結晶または非晶質シリコン膜、14は再結晶化シリコン膜、23は長手状開口部、30は

1層目の回路素子、41は反射防止膜である。

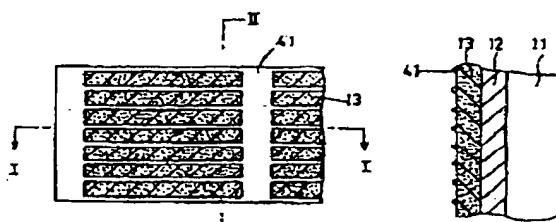
なお、図中、図符号は同一または相当部分を示す。

特許出願人 工業技術院長 等々力 達

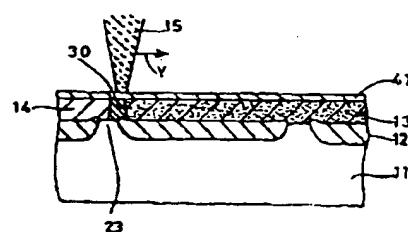
第1A図



第1C図



第1B図

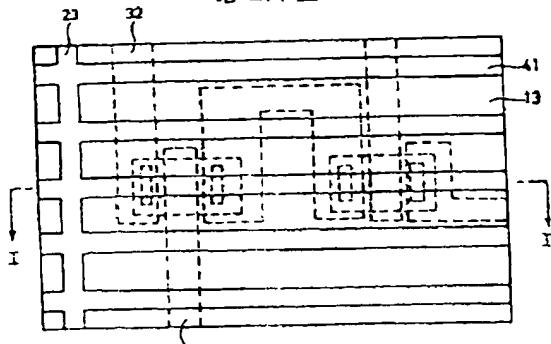


11: 単結晶シリコン基板
12: 絶縁膜(酸化膜)
13: 多結晶シリコン膜
14: 再結晶化シリコン膜
15: レーザ光

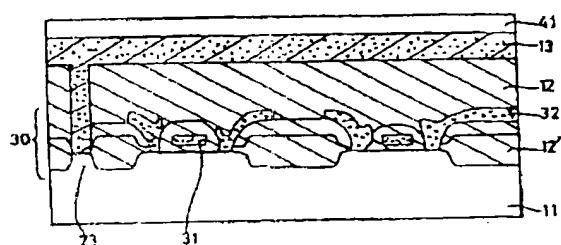
23: 開口部
41: 反射防止膜

特開昭62-206819(7)

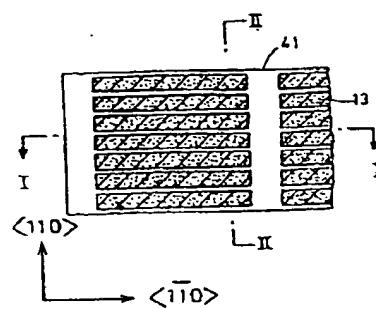
第2A図



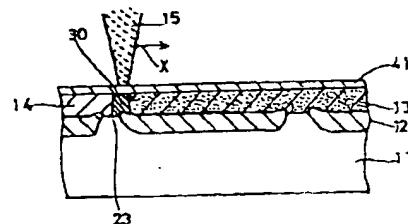
第2B図



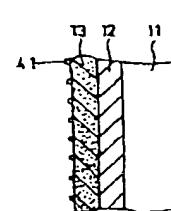
第3A図



第3B図



第3C図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.